

전자회로

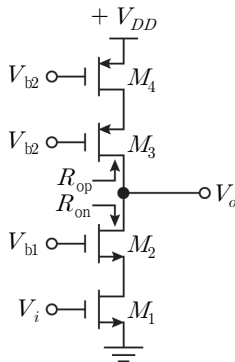
문 1. DSB-LC 진폭변조(AM)에서 반송파 $V_c = 20\sin(2\pi 10^7 t)$ [V], 신호파 $V_s = 15\sin(2\pi 10^5 t)$ [V]인 경우 변조지수(m) [%], 상측과 주파수(f_U) [MHz] 및 하측과 주파수(f_L) [MHz]는?

m	f_U	f_L
① 70	1.01	0.99
② 70	10.1	9.9
③ 75	1.01	0.99
④ 75	10.1	9.9

문 2. 슈미트 트리거(Schmitt Trigger)의 동작에 대한 설명으로 옳지 않은 것은?

- ① 입력 신호에 인가되는 잡음의 영향을 줄이기 위해 사용될 수 있다.
- ② 오실레이터(oscillator) 회로에 슈미트 트리거를 이용할 수 있다.
- ③ 슈미트 트리거의 입력과 출력 특성은 히스테리시스(hysteresis) 성질을 갖는다.
- ④ 여러 개의 입력 중 클럭 신호에 트리거된 하나의 입력을 선택하는 회로에 주로 사용된다.

문 3. 캐스코드(cascode) 증폭기의 전압이득으로 옳은 것은?



- ① $-g_{m1}[(g_{m2}r_{o2}r_{o1}) \parallel (g_{m3}r_{o3}r_{o4})]$
- ② $-g_{m1}g_{m2}r_{o1}r_{o2}$
- ③ $-g_{m1}g_{m3}r_{o3}r_{o4}$
- ④ $-g_{m1}g_{m3}r_{o3}g_{m2}r_{o2}$

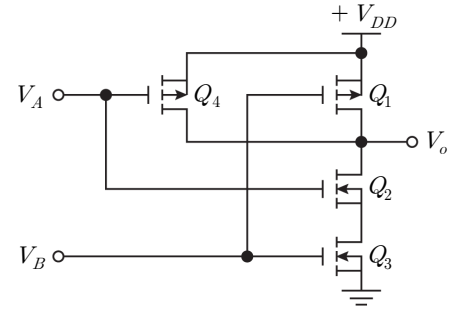
문 4. n-채널 MOSFET이 포화영역(saturation region)에서 동작할 때

$I-V$ 특성은 $I_D = \frac{1}{2}k_n \frac{W}{L}(V_{GS} - V_{TH})^2$ 으로 나타낼 수 있다.

이 때 MOSFET의 전달컨덕턴스(transconductance) g_m 으로 옳은 것은? (단, k_n 은 공정 전달컨덕턴스 파라미터이고, $k_n = \mu_n C_{ox}$ 이다)

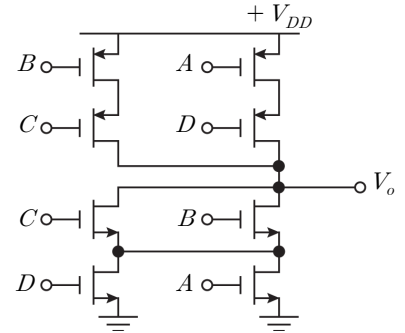
- ① $\sqrt{2k_n \frac{W}{L} I_D}$
- ② $\sqrt{\frac{1}{2}k_n \frac{W}{L} I_D}$
- ③ $2k_n \frac{W}{L}(V_{GS} - V_{TH})$
- ④ $\frac{1}{2}k_n \frac{W}{L}(V_{GS} - V_{TH})$

문 5. CMOS를 이용한 다음 그림과 같은 회로에서 입력단자 (V_A) = 1010, 입력단자 (V_B) = 0011의 각 입력값이 동시에 순차적으로 인가될 때, 출력전압의 상태값으로 옳은 것은? (단, 상태값 0 = 0[V], 상태값 1 = V_{DD} 이다)



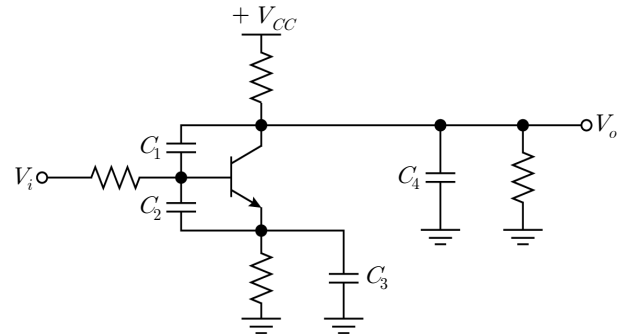
- ① 1101
- ② 1011
- ③ 0100
- ④ 0010

문 6. 다음 회로의 논리함수로 옳은 것은?



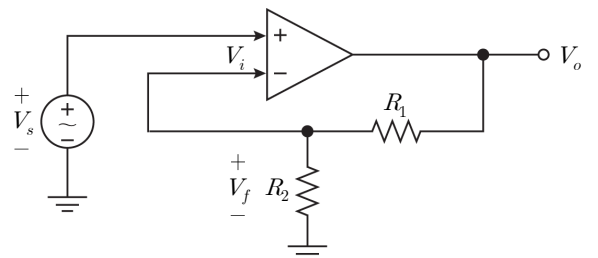
- ① $\overline{(A+D)(B+C)}$
- ② $\overline{(A+B)(C+D)}$
- ③ $\overline{AD+BC}$
- ④ $\overline{AB+CD}$

문 7. 다음 회로에서 트랜지스터가 포화 영역에 바이어스 되어 있다고 가정할 때, 4개의 커패시터 중 고주파 영역에서 전압 이득 $\left(\frac{V_o}{V_i}\right)$ 을 증가시키는 것은?



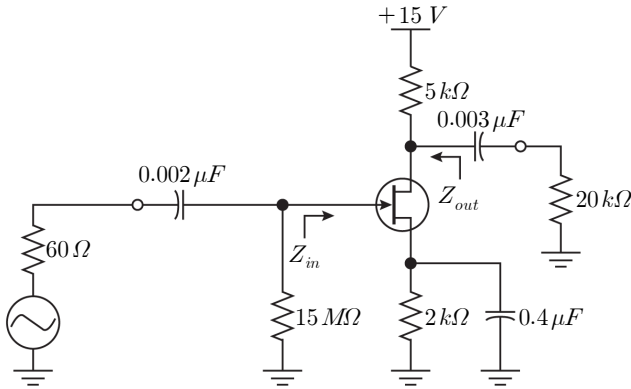
- ① C_1
- ② C_2
- ③ C_3
- ④ C_4

문 8. 다음 회로에서 연산증폭기 이득이 100,000이고, $R_1 = 1.8$ [k Ω], $R_2 = 200$ [Ω]일 때 증폭기 이득은?



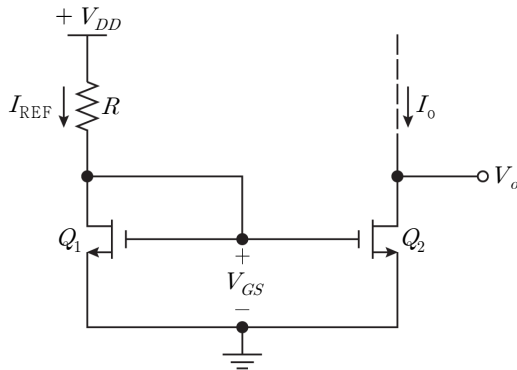
- ① 5
- ② 10
- ③ 15
- ④ 20

- 문 9. 다음 공통소스(common-source) 증폭회로의 고주파 영역 해석에서 입력 및 출력 등가 커패시턴스 $C_{in}[pF]$ 과 $C_{out}[pF]$ 의 값은? (단, $g_m = 1000[\mu S]$, $C_{gd} = 4[pF]$, $C_{gs} = 5[pF]$, $C_{ds} = 0[pF]$ 이다)



C_{in}	C_{out}
① 20	5
② 20	25
③ 25	5
④ 25	25

- 문 10. $V_{DD} = 5[V]$ 이고 MOSFET Q_1 의 $k_n\left(\frac{W}{L}\right)_1 = 0.8[mA/V^2]$ 이며 문턱전압 $V_{TH} = 1[V]$ 이고 MOSFET Q_1 의 게이트 폭 W_1 과 MOSFET Q_2 의 게이트 폭 W_2 의 비가 $\frac{W_2}{W_1} = 10$ 일 때, $I_o = 1[mA]$ 이 되도록 하는 저항 $R[k\Omega]$ 은? (단, k_n 은 공정 전달 컨덕턴스 파라미터이고, $k_n = \mu_n C_{ox}$ 이다)

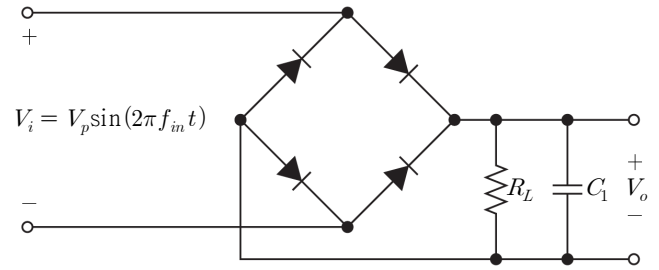


- | | |
|------|------|
| ① 15 | ② 25 |
| ③ 35 | ④ 45 |

- 문 11. 일반적인 트랜지스터의 설명으로 옳은 것은?

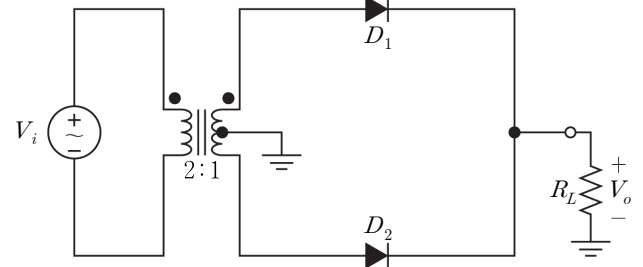
- ① MOSFET는 일반적으로 cutoff, triode, saturation 영역이 존재한다.
- ② MOSFET 단자는 5개 이상의 옴 접촉(ohmic contact) 연결 단자를 가진다.
- ③ BJT는 전자(electron) 또는 홀(hole)의 단일 캐리어에 의해서 동작한다.
- ④ MOSFET는 입력과 출력이 동일하게 연결된다.

- 문 12. 다음 브릿지 정류회로에서 출력 리플(ripple)전압, V_r 을 표현한 식으로 옳은 것은? (단, 모든 다이오드의 순방향 전압강하는 V_D 이다)



- | | |
|--------------------------------------------------------|---------------------------------------------------------|
| ① $V_r = \frac{V_p - V_D}{R_L C_1 f_{in}}$ | ② $V_r = \frac{V_p - 2V_D}{R_L C_1 f_{in}}$ |
| ③ $V_r = \frac{1}{2} \frac{V_p - V_D}{R_L C_1 f_{in}}$ | ④ $V_r = \frac{1}{2} \frac{V_p - 2V_D}{R_L C_1 f_{in}}$ |

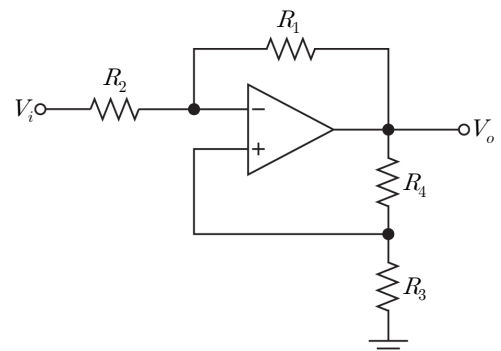
- 문 13. 다음 중간탭(center-tap) 전파 정류회로에 대한 설명으로 옳은 것만을 모두 고른 것은? (단, 입력전압(V_i)의 주파수는 $60[Hz]$ 이고 피크 값은 $100[V]$ 이다. 또한 다이오드가 순방향 바이어스될 때 장벽전위는 $0.7[V]$ 이다)



- ㄱ. 정상적인 동작 상태에서 출력전압(V_o)의 주파수는 $60[Hz]$ 이다.
 ㄴ. 부하에 걸리는 출력전압의 피크 값은 $49.3[V]$ 이다.
 ㄷ. 입력신호가 음(-)의 반주기 동안 D_1 에 역방향 피크 전압(PIV)은 $49.3[V]$ 가 걸린다.
 ㄹ. 다이오드 한 개가 개방(open) 고장이면 출력전압은 $60[Hz]$ 의 정류된 전압파형(맥동파)이 나타난다.

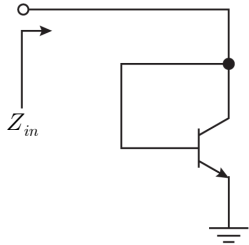
- | | |
|--------|--------|
| ① ㄱ, ㄴ | ② ㄱ, ㄷ |
| ③ ㄴ, ㄹ | ④ ㄷ, ㄹ |

- 문 14. 다음 회로에서 전압 증폭비 $\left(\frac{V_o}{V_i}\right)$ 값은? (단, 연산 증폭기는 이상적이라고 가정한다)



- | | |
|----------------------------------------------|----------------------------------------------|
| ① $\frac{R_3(R_1 + R_2)}{R_2 R_4 - R_1 R_3}$ | ② $\frac{R_2(R_3 + R_4)}{R_2 R_3 - R_1 R_4}$ |
| ③ $\frac{R_1(R_3 + R_4)}{R_2 R_4 - R_1 R_3}$ | ④ $\frac{R_1(R_3 + R_4)}{R_1 R_3 - R_2 R_4}$ |

문 15. 다음 트랜지스터는 활성(active)영역에서 동작하도록 바이어스 되어 있다. 입력임피던스 Z_{in} 으로 옳은 것은? (단, 바이어스 회로들은 생략되어 있다. Early effect는 고려하지 않고, 트랜지스터의 활성 영역에서의 파라미터, 전달컨덕턴스(g_m), 소신호 입력저항(r_π), 소신호 이미터저항(r_e), 공통이미터 전류이득(β)을 이용하여 나타내도록 한다)

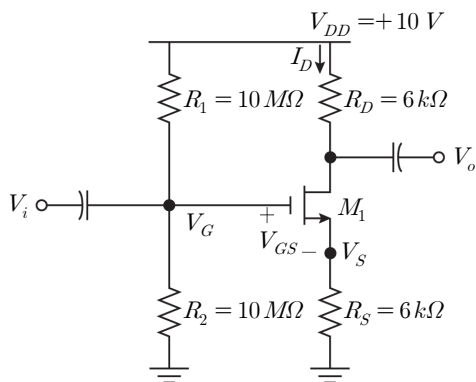


- ① $g_m + \frac{1}{r_\pi}$ ② $\frac{r_\pi}{1 + g_m}$
 ③ r_π ④ $\frac{r_\pi}{1 + \beta}$

문 16. 일반적인 CMOS 공정을 사용하여 구현한 회로에서 발생할 수 있는 latch-up 현상에 대한 설명으로 옳은 것은?

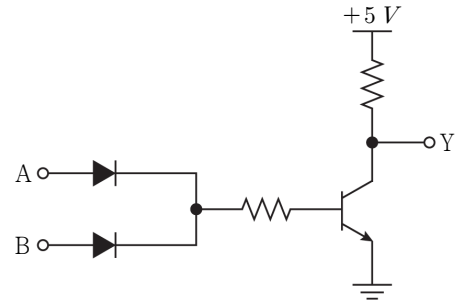
- ① 반도체 집적회로를 위한 레이아웃(layout)에서 PMOS와 NMOS 트랜지스터를 가능한 한 근접하게 배열하고, 또한 PMOS와 NMOS의 drain 면적을 넓게 할수록 latch-up 현상 발생 가능성은 줄어든다.
 ② Latch-up 현상은 CMOS 반도체 공정을 사용하여 회로를 구현할 때 생기는 기생 bipolar 트랜지스터들의 상호작용으로 발생한다.
 ③ PMOS와 NMOS 트랜지스터로 구현된 회로의 입/출력 신호가 빠른 rising과 falling 시간을 갖도록 설계하면 latch-up 현상은 발생하지 않는다.
 ④ Latch-up 현상이 발생하면 회로의 동작속도가 크게 증가하므로 성능면에서 긍정적인 측면도 많다.

문 17. 다음 MOSFET 바이어스 회로에서 트랜지스터 M_1 은 포화(saturation) 영역에서 동작한다. 문턱전압 $V_{TH} = 1[V]$, 소자 공정 파라미터 $k_n \left(\frac{W}{L} \right) = 1[mA/V^2]$ 일 때, V_{GS} 전압[V]은? (단, k_n 은 공정 전달컨덕턴스 파라미터(process transconductance parameter)이고, $k_n = \mu_n C_{ox}$ 이며, channel length modulation 및 body effect는 무시한다)



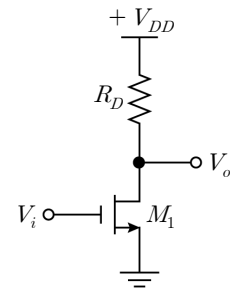
- ① 1 ② 2
 ③ 3 ④ 4

문 18. 다음은 무슨 논리 회로인가? (단, 정논리로 해석한다)



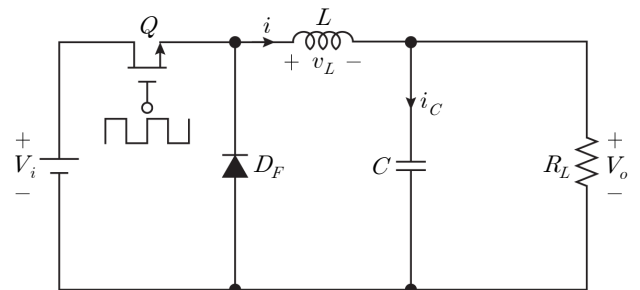
- ① AND ② NAND
 ③ OR ④ NOR

문 19. 다음 회로가 공통소스(common-source) 증폭기로 동작하기 위해서 트랜지스터 M_1 이 포화(saturation) 영역에 있다. 소신호 전압 이득이 -10 이 되기 위한 저항 $R_D[k\Omega]$ 와 입력 전압 V_i 의 소신호 성분의 진폭 A 가 가질 수 있는 최댓값은? (단, 입력 전압은 $V_i = (1 + A \cos \omega t)[V]$, 트랜지스터 M_1 의 문턱 전압은 $0.5[V]$, $V_{DD} = 3[V]$, M_1 의 전달컨덕턴스(transconductance)는 $10[mA/V]$, 포화(saturation) 영역에 있을 때 M_1 에 흐르는 전류는 $1[mA]$ 이다)



- | R_D | A 의 최댓값 |
|-------|-----------|
| ① 1 | 1.5/11 |
| ② 1.5 | 1.5/11 |
| ③ 1 | 1.5/10 |
| ④ 1.5 | 1.5/10 |

문 20. 다음 DC-DC 컨버터 회로에서 $V_i = 15[V]$, $V_o = 5[V]$, $f_s = 33[kHz]$, $L = 600[\mu H]$ 일 때, Q_1 의 on/off 시비율(duty cycle) $D[\%]$ 와 인덕터 전류의 리플값 $\Delta i[A]$ 값은? (단, f_s 는 트랜지스터 제어회로의 스위칭 주파수이다)



- | D | Δi |
|------|------------|
| ① 33 | 0.30 |
| ② 33 | 0.17 |
| ③ 30 | 0.30 |
| ④ 30 | 0.17 |